

場效電晶體閘極下方植入非對稱氧化層之模擬分析

陳力源^{1*}張文俊¹楊明儒¹蘇聖謙¹

¹南台科技大學 71005 台南市永康區南台街一號

*ma030217@stust.edu.tw

摘要

本文使用 Silvaco TCAD 模擬，所採用的基底結構為砷化鎵(GaAs)，經過固定的離子佈植之平面閘極場效電晶體，藉由閘極下植入非對稱絕緣氧化層與一般平面閘極結構比較，驗證植入閘極下氧化層的新改良法可行性。基於不更動製程物理極限寬度下，完成小於製程極限的可行方法，此方法可以減少開發新製程的費用，並提升閘極截止電壓與最大汲極電流。

關鍵字：場效電晶體、截止電壓、砷化鎵。

1. 簡介

本論文以平面閘極場效電晶體為改良對象，平面閘極結構場效電晶體以砷化鎵為基底，必須先考慮閘極的蕭特基接觸與源汲極的歐姆接觸，在閘極需形成蕭特基接觸，以較低摻雜濃度使 N 型通道形成高界面位障，使閘極具備整流特性之蕭特基接觸。源汲極則必須使用較高的 N 型摻雜濃度形成較低界面位障之歐姆接觸。

砷化鎵場效電晶體在離子佈植做調整來達到元件特性，在傳統製程上是將矽離子佈植到半絕緣的砷化鎵基板中，而形成 N 型通道層。但以砷化鎵為基板的場效電晶體因基板漏電流而產生的短通道效應，此現象會造成元件特性較差。可利用共同佈植 P 型埋層來改善，改良後可抑制其漏電流、降低起始電壓和提高互導值。一般砷化鎵 P 型摻雜上可以使用鉍離子或鎂離子，在 N 型摻雜上可以使用矽離子來完成，所以我們就利用共同佈植的過程將矽離子及鉍離子植入至半絕緣的砷化鎵基板中，再以快速高溫熱退火活化處理，來修復離子佈植中被破壞的晶格及活化植入的載子。在 TCAD 中可以利用載子濃度的分佈為了瞭解 N 通道與 PN 界面之相對關係，藉以調整得到最佳的離子佈植條件。

2. 設計和技術程序

使用 Silvaco Athena 建立電晶體結構，先規畫網格與節點，放置植入濃度為 10^{13} 雜質鉍的 GaAs 基材，使用模擬離子佈植製程方式以能量 100KeV 植入濃度為 $2 \times 10^{11} \text{ cm}^{-2}$ 鉍離子與能量 100KeV 植入濃度為 $1 \times 10^{12} \text{ cm}^{-2}$ 矽離子，Athena 以高斯分布的方式模擬植入，如圖 1(a)、(b) 為離子佈植後再以 850°C 熱退火活化後之 PN 型濃度分佈情形，N 型通道與 P 型深埋在此步驟完成。

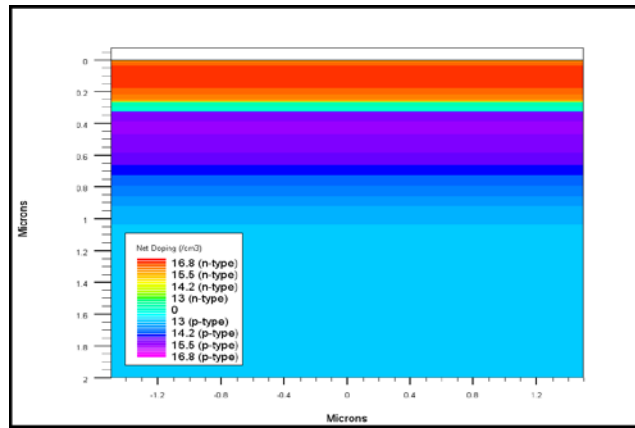


圖 1(a)鉍離子與矽離子之離子佈植結果

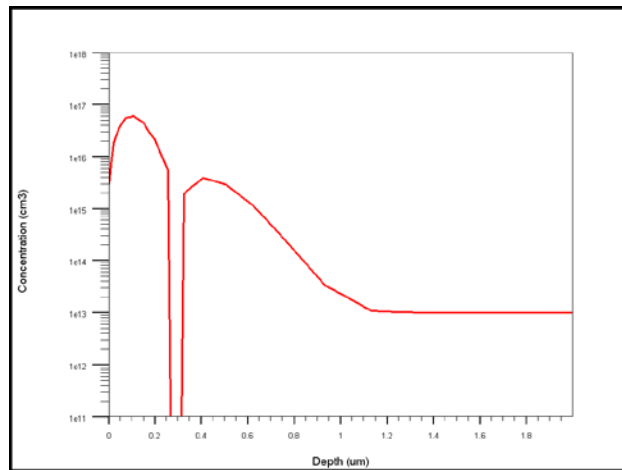


圖 1(b) 濃度分佈結果Concentration(cm^3)，Depth(μm)

在歐姆接觸的製程上需再源汲極植入高濃度N型摻雜，在模擬上先以氧化層做為離子佈植之隔離層，以能量 50KeV植入濃度為 $1 \times 10^{13} \text{ cm}^{-2}$ 矽離子植入，再以 850°C 熱退火活化後形成歐姆接觸，如圖 2(a)、(b)所示。

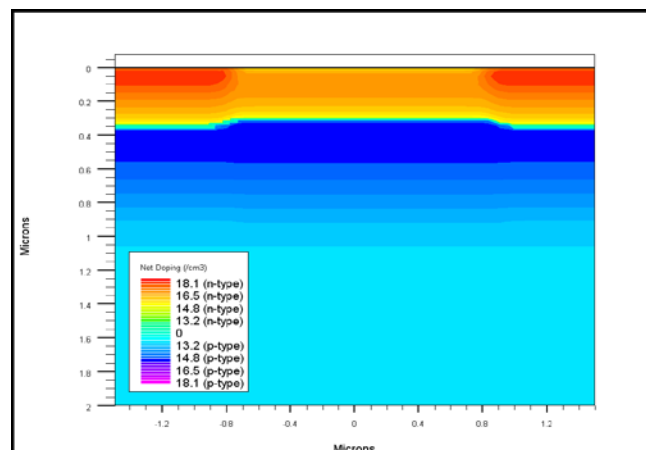


圖 2(a)濃度為 $1 \times 10^{13} \text{ cm}^{-2}$ 矽離子以能量 50KeV 植入，形成歐姆接觸

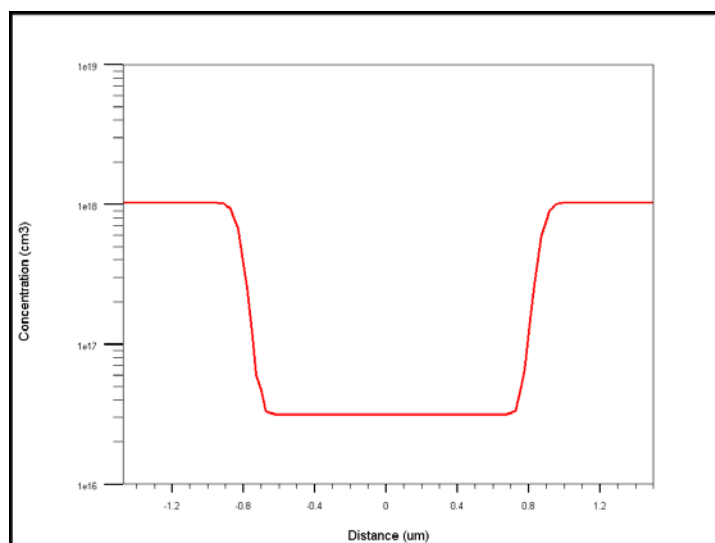


圖 2(b)濃度分布情況

為了做可用性的比較在通道上使用離子佈植完成歐姆接觸與蕭特基接觸特性這些步驟都與平面閘極矽化鎵場效電晶體的製程一樣。在設計上為了節省光罩次數必須先製程的順序最佳化。如圖 3(a) 在結構改良後實際各層光罩示意圖。為能比較出改良結構之可用性，必須保留通道及蕭特基接觸與歐姆接觸的條件不變，在電極製程做修改與新增。在通道完成後，利用氧化層的沉積來改善閘極長度，如圖 3(b)所示，在完成 N 型通道的基底上方先沉積設計一定寬度的氧化層。

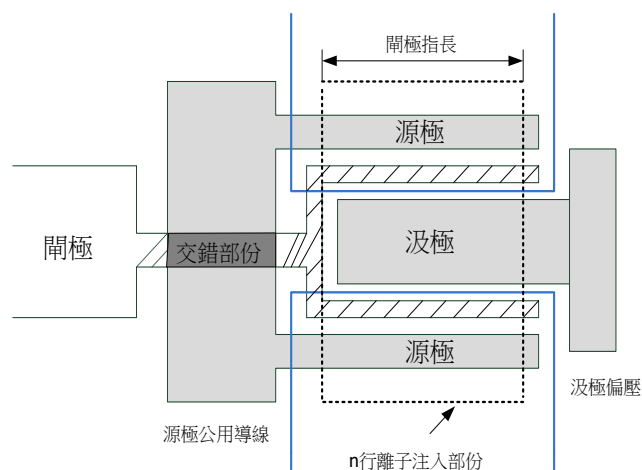


圖 3(a)在結構改良後實際各層光罩示意圖

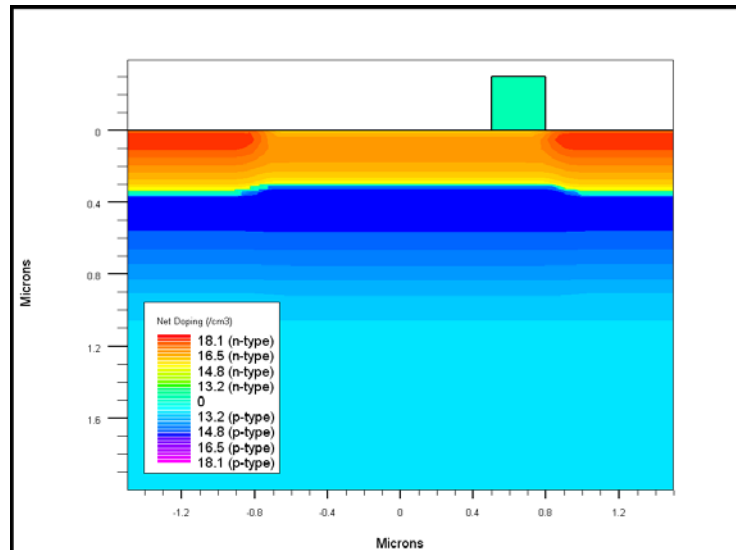
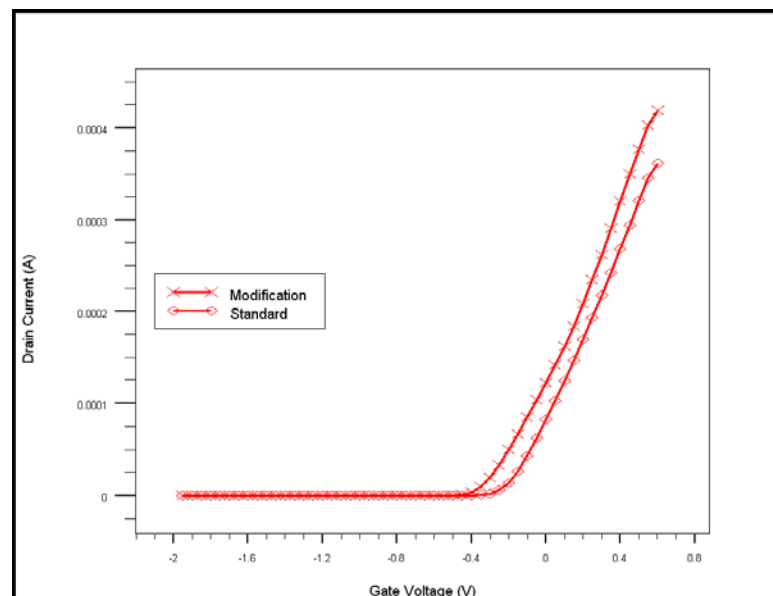


圖 3(b) 閘極下方沉積的氧化層

在砷化鎵場效電晶體物理特性模擬上需要用到載子複合模型、穿隧接面模型、邊界條件等物理特性模型，模擬求解設定使用牛頓法求三個以上的未知數。

3. 結果討論

如圖 4 是改良結構與一般平面閘極結構之 I_d/V_g 比較，在改良結構的閘極截止電壓比一般平面閘極結構的大了 0.05V，這對元件大訊號性能有改善的效果。

圖 4 改良型與平面閘極之 I_d/V_g 比較

如圖 5 是場效電晶體改良前後的互導值比較，改良後的互導值有增加的趨勢，互導的範圍在改良型的曲線上也是有增加，這現象可以呈現閘極電壓控制空乏區的能力增強。

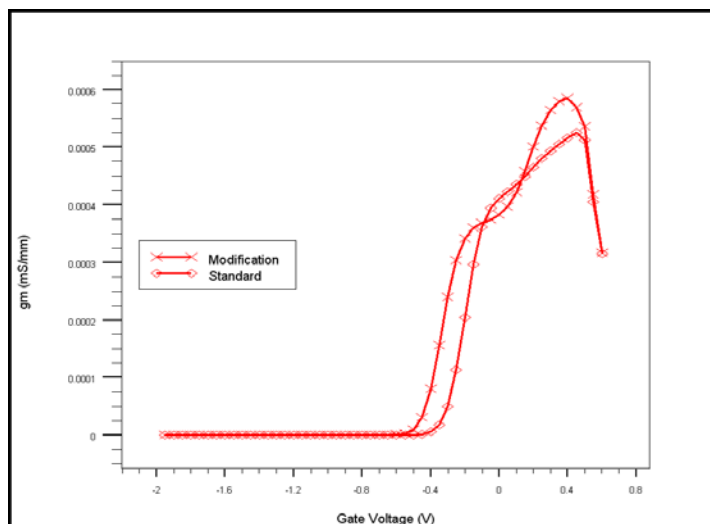


圖 5 場效電晶體改良前後的互導值比較

如圖 6 是場效電晶體 I_d/V_{ds} 改良前後的比較，改良結構後場效電晶體的 I_{dss} 提高，這對於大訊號的控制有改良的效果。

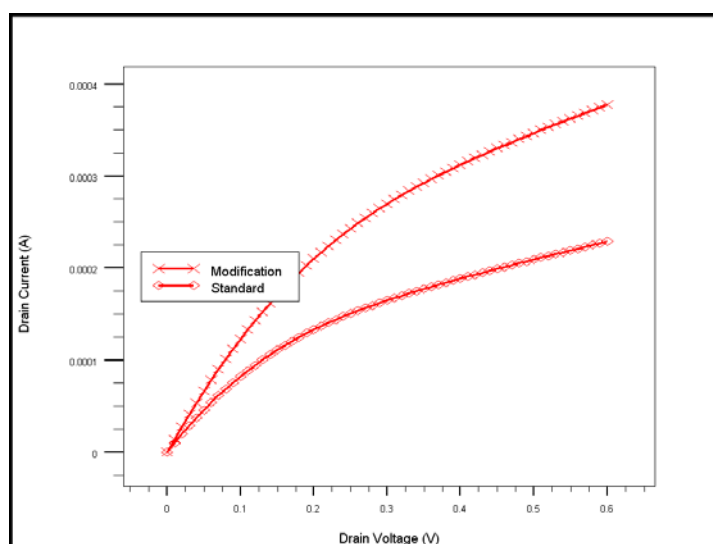


圖 6 改良前後場效電晶體 I_d/V_{ds} 的比較

4. 結論

砷化鎵場效電晶體結構改良上，建立基本砷化鎵場效電晶體時，進行離子佈植最佳化，可得到

N_+ 為 $1 \times 10^{18.1} \text{cm}^{-2}$ 與 N 為 $1 \times 10^{16.5} \text{cm}^{-2}$ ，由 I_d/V_{gs} 的比較得知改良型的閘極截止電壓增加了 0.05V，互導的範圍與互導值在改良型上也增加了，並且改良後元件特性提高 I_{dss} 使得在大訊號控制上特性變好，在閘極氧化層下新增氧化層在元件物理特性上閘極對於空乏區的控制能力增強，而且在新製程開發上也可以利用此改良方法減少成本。

參考文獻

本城和彥,“微波通訊半導體電路”,全華出版社,1996.

施敏,“半導體元件物理與製作技術”,交大出版社,2002

B. Mack, M. Hermle, S. Philipps, A.W. Bett, “Simulation of the tunneling current in heavily doped PN-junctions”, Presented at the 21st European Photovoltaic Solar Energy Conference, September 4-8, 2006, Dresden,1DV.1.9

H.Statz,H.A.Haus and R.A.Pucel : “Noise Characteristics of GaAs field effect transistor”IEEE Trans . Electron Devices, ED-21,9,PP.549-562(Sep 1974)

K.Lehovec and R.Zuleeg:“Voltage-current characteristics of GaAs J-FET’s in the hot electron range”Solid-state Electron. 13, pp1415-1426(1970)

K.Yamaguchi,S.Asai and H.Kodera: “Two-dimensional numerical analysis of stability criteria of GaAs FET’s”,IEEE Trans. Electron Devices,ED-23,12,pp1283-1290(Dec.1976)

M.Reser “A Two-Dimensional Numerical FET Model for DC,AC,and Large-Signal Analysis”IEEE Trans. Electron Devices,ED-20,1,pp35-45(jan.1973)

SILVACO International Inc, “ATLAS User’s Manual”, Santa Clara, CA, 2007

T.Wada and J.Frey “Physical Basis of Short-channel MESFET Operation”IEEE Trans. Electron Devices,ED-26,4,pp476-489(Apr.1979)

W.Shockley:“A unipolar ‘field-effect’ transistor,” Proceedings of IRE, 40.PP1365-1376(NOV,1952)

Analysis and Simulation of an Asymmetric Oxidation Layer Beneath a Field Effect Transistor Gate

Li-Yuan Chen^{1} Wen-Chung Chang¹ Ming-Ju Yang¹ Sheng-Chien Su¹*

¹Southern Taiwan University of Science and Technology

* ma030217@stust.edu.tw

ABSTRACT

The current study uses Silvaco TCAD simulation software to compare a GaAs based planar gate FET that

have undergone a fixed ion implantation by implanting an asymmetric insulating oxide layer under the gate with an ordinary planar gate structure. The study would then test the feasibility of the new and improved method of implanting an oxide layer under the gate. It would be done without changing the physical width limitations of the manufacturing process and with the goal of further reducing its dimensions. This method will reduce development costs and increase gate cutoff voltage and maximum drain current.

Keywords: Field Effect Transistor 、 cutoff voltage 、 GaAs