

反應性射頻磁控濺鍍法成長鈣鈦氧氮薄膜之研究

陳世志^{1*}

蕭如宏^{2*}

張志有^{3*}

^{1*2*3*}64002 雲林縣斗六市大學路三段 123 號. 電話：(05) 537-2637. 傳真：, (05) 537-2638

國立雲林科技大學電子與光電工程研究所

e-mail:g9918710@yuntech.edu.tw

摘要

本研究是以反應性射頻磁控濺鍍法，常溫下成長厚度為 85Å 的 HfTiON 高介電薄膜於 Si 基板上，Al 做為上電極金屬，整體結構為 Al/ HfTiON/p-Si 之 MIS 結構。在成長薄膜之前，我們會先以 N₂ plasma 濺擊 Si 基板成長超薄的 SiN_x 阻擋層來防止 HfTiON 高介電薄膜中的氧原子與 Si 基板間的相互擴散，以提高整體的介電特性。接下來以不同型式成長介電薄膜，並探討不同鈦含量對薄膜的影響，最後將成長 HfTiON 高介電薄膜完經由事後 O₂ plasma 處理與熱氧退火，以填補在成長高介電薄膜過程中所產生的氧空穴，藉由填補的處理方式來降低薄膜的缺陷以得到高介電薄膜的最佳成長條件。而 HfTiON 薄膜則是以 NON 結構鈦含量為 0.5 時有最佳之電特性。

關鍵字：矽氧化鈣、氮氧矽化鈣、事後氮電漿、事後氧電漿

1、前言

隨著 CMOS 元件微縮 (Scaling)，傳統以二氧化矽作為閘極介電層，由於穿隧電流的問題已不符使用，因此尋找各種能夠替代二氧化矽 (SiO₂) 的新型材料已成為一重要的課題。而為了因應低消耗功率及高性能的應用，一些高介電材料如 HfO₂ 和 ZrO₂ 已經被廣泛的研究來替代傳統的 SiO₂ [1][2]。對 DRAM 而言，記憶晶胞 (Memory Cell) 中的電容在元件尺寸縮小之後，所能儲存的電容量 (Capacitance) 便相對的減少許多，再加上電容本身的漏電流，造成判讀 0 與 1 的準位時發生錯誤 [3][4]。因此，如何有效的增加電容的電容量以及減少其漏電流，以確保儲存在 Memory Cell 中的資料能被正確地讀出，便是 DRAM 的重要關鍵課題之一。而選擇高介電材料便是增加電容量最直接的方法 [5]。相關研究指出 HfTiO(N) 有較佳的介電常數、與矽基板的熱穩定性佳與相容性佳 [6] 等優點。綜合以上的因素，本研究使用 HfTiON 高介電材料來取代 SiO₂ 薄膜來當作閘極氧化層，並進行氧電漿處理及熱氧退火以改善薄膜與上電極之間的界面特性。

2、實驗方法

本研究之 HfTiON 高介電薄膜是以反應性射頻磁控濺鍍系統 (Reactive Radio-Frequency Magnetron Sputtering) 來成長。實驗主要探討增長不同型式的 MIS 結構，分別為 OOO、OON、NON、HfO₂ 等四種，如圖所示，目的是為了比較薄膜之特性。之後再利用不同鈦沉積時間的方式，比較鈦含量多寡對介電薄膜之影響程度，最後再經 15 瓦電漿處理 60 秒及 700 度熱氧退火 3 分鐘，並完成介電薄膜成長，詳細的薄膜成長條件列於表 1 中。

本研究中，成長上電極鋁 (Aluminum) 的方式是使用熱蒸鍍法 (Thermal Evaporation)，而上電極圖案 (Pattern) 形成方式為使用蒸鍍罩 (Shadow Metal Mask) 完成。最後在 Si 基板的背面鍍上一層鋁 (Aluminum) 電極，並經過事後熱氮爐管退火處理形成歐姆接觸。I-V 與 C-V 的電性量測分別使用 Agilent B1500A 及 Keithley 4200 + Agilent 4284A。

表 1 HfTiON 之成長條件

Substrate	p-type (100) silicon
Substrate Temperature	Room Temperature
RF Power	100W
Ar Gas Flow Rate	2 sccm
N ₂ Gas Flow Rate	4,8,10 sccm
O ₂ Gas Flow Rate	16,22 sccm
Work Pressure	10m torr
Deposition Time	144s
Film Thickness	~8.5 nm

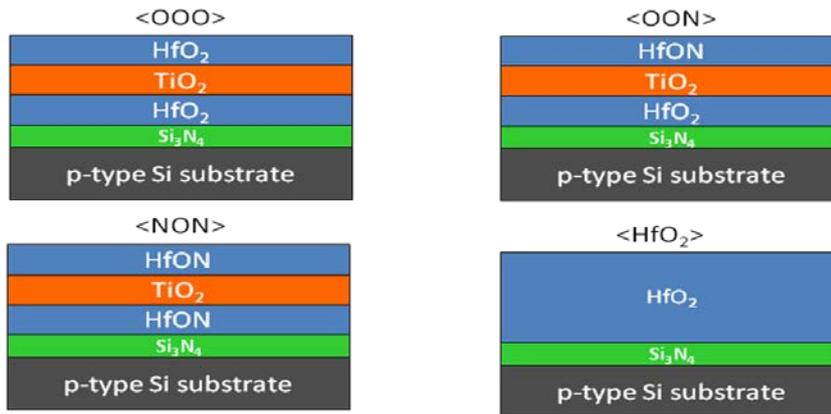


圖 1 不同形式之 MOS 電容結構示意圖

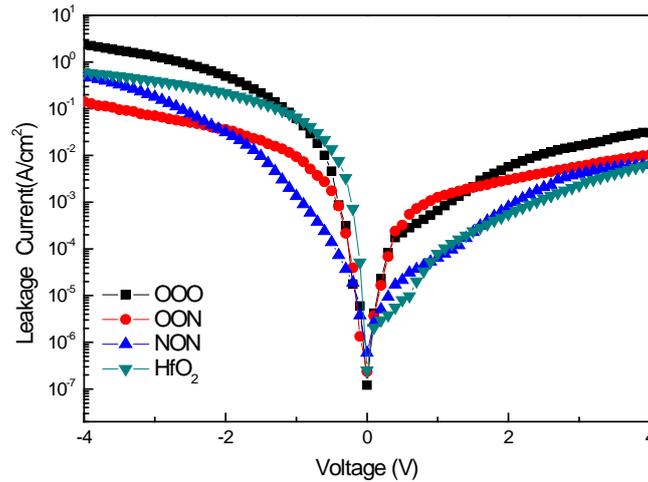


圖 2、為不同製作方式所得到之漏電流密度特性曲線

3、結果與討論

由圖 2 可看出，在堆疊結構OOO、OON及NON三者之中，以NON有較低的漏電流，OOO漏電流則最大，主要是NON試片薄膜內部通有較多的氮原子，且氮化物本身就比氧化物結構更為緻密，因此有添加氮原子於介電層中可減少SiO₂/Si界面處的缺陷，因此電流藉由這些缺陷穿過介電層的機會就會減少，較能有效抑制漏電流。再相較於HfO₂試片，發現NON在負偏壓時有明顯地較低漏電流，可能是NON較緻密較且也較沒有結晶，HfO₂可能在高溫的環境下容易造成grain boundy形成多晶結構。

我們可以由圖 3 與圖 4 中看出NON表現較佳，有最大的電容值及較小的EOT，吾人認為是因為摻有具有高介電係數(~80)之氧化鈦，致使介電常數有明顯的增加，也因此多層堆疊電容值比單層HfO₂電容值還高，且在上下介面都摻有氮的情況下，電容值增加最為明顯，主要是其介電層內有Hf-N鍵結，而其餘較少或無，Hf-N鍵結比Hf-O鍵結具有較強的電荷極化能力，能有效降低氧與矽界面反應形成界面層，因此得到較高之電容值。在OOO及OON試片中，由於氮化物少於氧化物，整體薄膜緻密程度較NON來的差，在高溫處理的情況下，氧原子易與矽界面反應且Ti原子也較容易穿越鈺氧化物介面，形成HfTiSiO介面層，而HfTiSiO介面比其HfTiON介面介電常數來的低，故整體上介電常數下降。

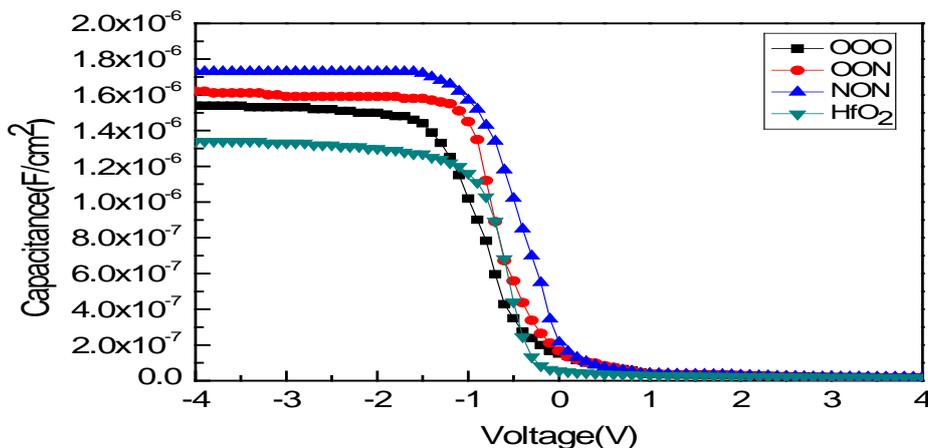


圖 3、為不同製作方式所得到之 C-V 特性曲線

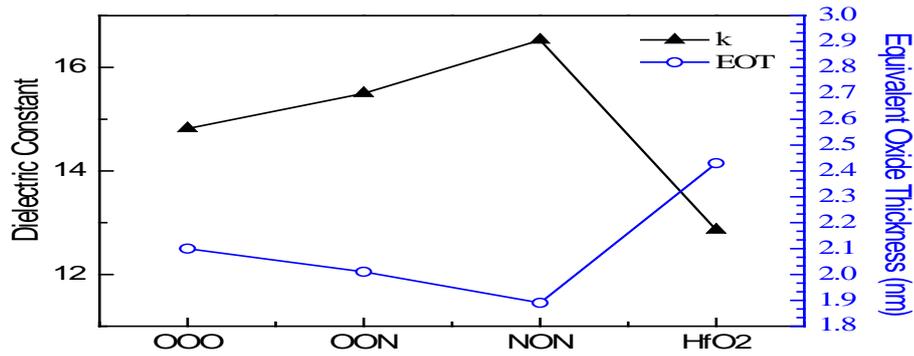


圖 4 不同製作方式之介電係數與SiO₂等效氧化層厚度關係圖

圖 5 為不同 Ti/Hf 沉積時間比之漏電流密度特性曲線圖。由圖中可看出漏電流隨著鈦含量比的增加而小幅的增加，主要是氧化物的鈦原子活性大於鉛原子，在高溫環境易產生擴散或是原子亂竄得情形，造成薄膜缺陷增加，因而漏電流會增大。在含量增為 0.57 時，漏電流卻大幅增加，主要是鈦含量過多造成氧空缺得增加，電流經由養空缺所造成的缺陷穿越介電層的機率也增加，漏電流自然也就會大增。

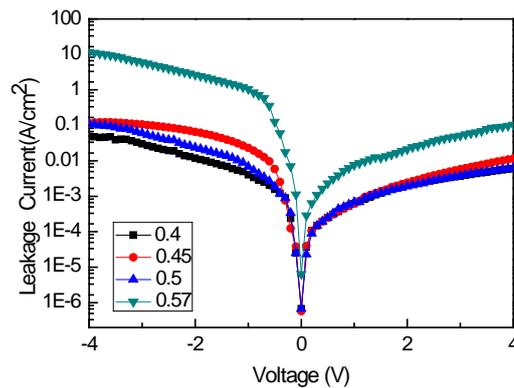


圖 6、不同 Ti/Hf 沉積時間比之漏電流密度特性曲線圖

圖 6 中發現，電容值隨著鈦鉛含量比的增加而增加，主要是氮氧化物附有較高介電常數氧化鈦，故隨著鈦含量增加，電容值也隨之增加，但鈦含量增加對漏電流也會增大，因此為了在漏電流及電容量中取得平衡，吾人認為在鈦鉛比為 0.57 雖然電容值最大，但漏電流較高，而鈦鉛比為 0.45 電容值雖然與 0.5 差不多，但是曲現卻往負偏壓移動，因此猜測比值 0.45 內部缺陷電荷太多，造成整個取現往負偏壓移動。因此，在這裡鈦鉛含量比在 0.5 時有較低的漏電流密度，同時也具備較佳的電容值。由表 1 之整理數據可以看出鈦含量愈多介電常數愈大 EOT 愈小，但漏電流卻會因此大增，故鈦含量在 0.5 時為最適當的條件，有較低的漏電流同時有較大的介電常數。

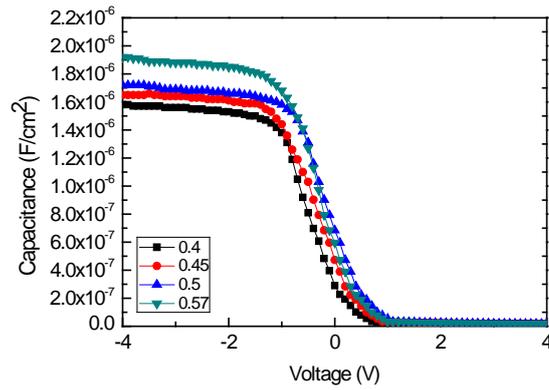
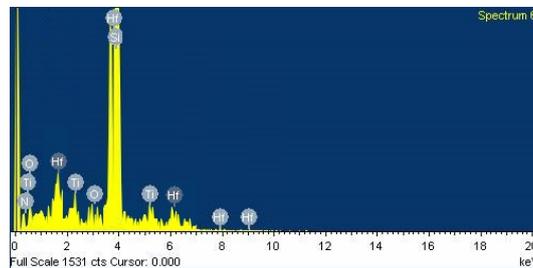


圖 6、不同 Ti/Hf 沉積時間比之 C-V 特性曲線圖。

表 1 對於不同鈦含量之量測數據整理

	Leakage Current Density at -1V	Leakage Current Density at 1V	Dielectric Constant	Equivalent Oxide Thickness
0.4	4.04E-03	6.22E-04	15.16	2.06
0.45	2.32E-02	6.22E-04	15.83	1.97
0.5	6.87E-03	6.84E-04	16.51	1.89
0.57	1.06E+00	7.61E-03	18.43	1.69

接下來吾人也進行 FE-SEM / EDS 成份分析，由圖 7 發現 Si 能量很強，其餘比較低，主要是薄膜厚度非常薄，X 光打進去得深度可能都到達 Si 內部，因此 Si 原子比很大，然後經挑選成份，以 Ti、Hf、O 與 N 四種元素做比較，得到 Ti 與 Hf 原子比重約 2:1，與無人預期差不多。



Element	Weight%	Atomic%
N K	10.91	16.73
O K	13.79	6.33
Ti K	25.11	25.41
Hf M	50.19	51.53

圖 7 Ti/Hf 沉積時間比為 0.5 之 EDS 圖及原子量比分佈

4、結論

在HfTiON沉積的實驗中，高介電薄膜在成長之前，單晶矽基板事先利用N₂ plasma處理表面 3 分鐘，再利用反應性射頻磁控濺鍍法以純鉛與鈦金屬靶沉積不同結構，其中以NON之結構特性最佳，其中在以不同鈦鉛沉積的時間比作分析，然後在進行事後氧電漿處理 1 分鐘 30w，最後再以熱氧 700°C 退火 3 分鐘後再成長上下電極並通入氬氣PMA400°C 30 分鐘，得到在沉積NON結構時，鈦鉛沉積時間比為 0.5 所得到之電特性為最佳，得到介電係數為 16.51，EOT為 1.89nm。

5、參考文獻

- [1] Y.-C. Yeo, T.-J. King, and C. Hu, Direct tunneling leakage current and scalability of alternative gate dielectrics, *Appl. Phys. Lett.* 81, 2091 (2002).
- [2] J. R. Chavez, R. A. B. Devine, and L. Koltunski, Evidence for hole and electron trapping in plasma deposited ZrO₂ thin films, *J. Appl. Phys.* 90, 4284 (2001).
- [3] R. Nieh, W.-J. Qi, Y. Jeon, B. H. Lee, A. Lucas, L. Kang, J. C. Lee, M. Gardner, and M. Gilmer, Nitrogen (N₂) implantation to suppress growth of interfacial oxide in MOCVD BST and sputtered BST films, *Mater. Res. Soc. Symp. Proc.* 567, 521 (1999).
- [4] H. Harris, K. Choi, N. Mehta, A. Chandolu, N. Biswas, G. Kipshidze, S. Nikishin, S. Gangopadhyay, and H. Temkin, HfO₂ gate dielectric with 0.5 nm equivalent oxide thickness, *Appl. Phys. Lett.* 81, 1065 (2002).
- [5] C. A. Billman, P. H. Tan, K. J. Hubbard, and D. G. Kanan, "Alternate gate oxides for silicon MOSFETs using high k dielectrics," *Mater. Res. Soc. Symp. Proc.* 567, 409, 1999.
- [6] YU Guo-yi, ZOU Xue-cheng, CHEN Webbing D.G. Schlom and J.H. Haeni, "Preparation of a new gate dielectric material HfTiON film," *The Journal of China Universities of Posts and Telecommunications* Volume 14, Issue 1, March 2007

A Study of HfTiON Thin Films by Reactive Radio Frequency Magnetron Sputtering

^{1*} Student : Ru-Hong Sxiao

^{2*} Advisors : Dr. Shih-Chih Chen

^{1* 2*} MS in Microelectronic and Optoelectronic Engineering
Graduate School of Electronic and Optoelectronic Engineering
National Yunlin University of Science & Technology
123 University Road, Section 3, Douliou, Yunlin 64002, Taiwan, R.O.C.

ABSTRACT

In this study, mixed -layers high-k gate stack materials were deposited on p-Si(100) substrate by reactive RF magnetron sputtering. Before deposited thin films, the native oxide on Si substrate was removed by Ar plasma treatment. A ultra-thin SiN_x layer was grown which was to be as a barrier by using N₂-plasma to prevent inter-diffusion between oxygen atoms and Si substrate. After thin films deposited, complete the mixed-layers structure of the used to post plasma treatment and annealing thermal treatment. Explore several situations in the film deposition process, respectively, deposition in the form , gas flow ratio, Ti/ Hf deposition time, post O₂ plasma treatment and annealing, then made into the MOS capacitor.

The experimental results show that NON structure is the best for HfTiON thin film, Optimum flow ratio in Ar/O₂/N₂ is 2/10/22, to plasma treatments is 60 seconds and 15 watts, and then annealed at 700 °C for 180 seconds to get the best growing conditions, at negatively and positively biased- voltage of 1V, the leakage current densities are $3.3 \times 10^{-3} \text{ A/cm}^2$ and $3.15 \times 10^{-5} \text{ A/cm}^2$, respectively. The relatively dielectric constant about 16.35 and the equivalent oxide thickness is 1.91nm. Finally of the experiment, By the heat treatment in nitrogen at 950 °C of the stack structure conversion become HfTiON film and to investigate the thermal stability, to present high-performance MOS characteristics .

Keyword: Stack , Plasma treatment , Annealing, HfTiON